

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-139570

(43)公開日 平成8年(1996)5月31日

(51)IntCl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 H 17/02

D 8842-5 J

G 1 0 L 3/02

A

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号

特願平6-271175

(22)出願日

平成6年(1994)11月4日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 福井 隆郎

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72)発明者 野本 和利

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72)発明者 関口 倫正

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

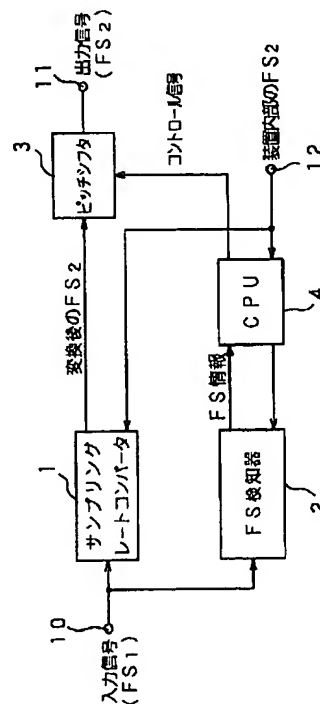
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 デジタル信号処理装置

(57)【要約】

【構成】 入力デジタル信号のサンプリング周波数 F_{S1} を内部サンプリング周波数 F_{S2} に合わせるサンプリングレートコンバータ1と、入力デジタル信号のサンプリング周波数 F_{S1} を検知するサンプリング周波数検知器2と、入力デジタル信号の本来のサンプリング周波数 F_{S2} とサンプリング周波数 F_{S1} との周波数差を求めるCPU4と、このCPU4からのコントロール信号に基づいて、サンプリングレート変換後のデジタル信号のピッチをシフトするピッチシフタ3とを有する。

【効果】 本来のサンプリング周波数よりも若干ずれたサンプリング周波数となっている入力デジタル信号を受け取った場合に、本来のサンプリング周波数の信号に戻すことができると共にピッチも本来のピッチに戻すことができる。



1

【特許請求の範囲】

【請求項 1】 入力デジタル信号のサンプリング周波数を内部サンプリング周波数に合わせるサンプリング周波数変換手段と、

入力デジタル信号のサンプリング周波数を検知するサンプリング周波数検知手段と、

入力デジタル信号の本来のサンプリング周波数と上記サンプリング周波数検知手段が検知したサンプリング周波数との周波数差を求める周波数差計算手段と、

上記周波数差に基づいて上記サンプリング周波数変換手段の出力デジタル信号のピッチをシフトするピッチシフト手段とを有することを特徴とするデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、入力デジタル信号のサンプリング周波数を内部サンプリング周波数に合わせるデジタル信号処理装置に関する。

【0002】

【従来の技術】従来より、所定のサンプリング周波数のデジタル信号に対して信号処理を施すようなデジタル信号処理装置において、例えば当該装置内部で使用するサンプリング周波数と異なったサンプリング周波数で処理された信号が入力されたような場合には、サンプリングレートコンバータを用いてサンプリング周波数を変換するしか、この入力信号を当該装置内部に取り込む手立てはない。

【0003】このようなサンプリング周波数を変換する構成は、簡略化して図 6 のように表すことができる。ここで、例えばコンパクトディスク (CD) のような 44.1 kHz のサンプリング周波数 $F_{S44.1}$ でサンプリングされた信号を、48 kHz のサンプリング周波数 F_{S48} のデジタルテープレコーダ (DAT) でテープに記録するような場合を想定する。すなわち CD からの再生信号は、当該 CD に記録されたときのサンプリング周波数 $F_{S44.1}$ の信号となっているので、この信号を DAT にて記録する場合には、この CD からの再生信号のサンプリング周波数 $F_{S44.1}$ を DAT 用のサンプリング周波数 F_{S48} に変換しなければならない。

【0004】すなわちこの図 6 において、入力端子 100 には上記 CD から再生されたサンプリング周波数 $F_{S44.1}$ の入力信号が供給され、この入力信号がサンプリングレートコンバータ 101 に送られる。また、当該サンプリングレートコンバータ 101 には、上記 DAT におけるサンプリング周波数 F_{S48} に対応する内部周波数信号が端子 103 を介して供給されている。当該サンプリングレートコンバータ 101 では、上記サンプリング周波数 $F_{S44.1}$ の入力信号をオーバーサンプリング処理し、次にデータ補間処理によって必要なデータを補間し、その後、上記内部周波数信号に基づいてダウンサン

2

プリング処理することで上記サンプリング周波数 F_{S48} の信号に変換する。このサンプリング周波数変換後の信号が端子 102 を介して DAT に送られることになる。

【0005】このようにサンプリング周波数変換を行うことで、上記 CD から再生された信号を DAT によってテープに記録しても、CD に記録された時の本来のピッチ (音程) は保たれることになる。

【0006】

【発明が解決しようとする課題】ところで、例えば、DAT においてテープ走行速度が所定の速度から若干ずれているような場合 (例えば、若干の早回し、遅回しされている場合) を想定すると、当然ながらデータの転送レートも所定のレートから若干外れてしまう。この DAT から出力された信号を外部の機器 (例えば他の DAT 等) に入力すると、この外部の機器では、サンプリング周波数がずれているように判断されてしまう。

【0007】これを単にサンプリングレートコンバータを用いてサンプリング周波数を合わせるように変換すると、DAT で本来記録されたピッチから音程がずれてしまうことになる。これは即ちアナログのテープレコーダを早回し、若しくは遅回しした場合と同じようになる。

【0008】このような例として、コマーシャルの音楽で 30 秒以内に収めなければならない場合において、その音楽をレコーディングしたら 30 秒を若干オーバーして例えば 31 秒になってしまったとき、これを 30 秒以内に収めるためにテープレコーダを若干早回しで再生したとする。

【0009】この若干の早回し再生された信号を、外部の機器で受け取った場合、当該外部の機器は、音楽をレコーディングした時の本来のサンプリング周波数で動作しているので、例えば前述したようなサンプリングレートコンバータを用いてサンプリング周波数を変換して取り込む事になる。この場合、当然、31 秒かかって記録した信号を 30 秒で再生したため、ピッチ (音程) は本来のものよりも高くなってしまっている。

【0010】そこで、本発明は、上述のような実情に鑑みて提案されたものであり、本来のサンプリング周波数よりも若干ずれたサンプリング周波数の入力信号を受け取った場合に、本来のサンプリング周波数に戻すことができると共にピッチも本来のものに戻すことができるデジタル信号処理装置を提供することを目的とするものである。

【0011】

【課題を解決するための手段】本発明のデジタル信号処理装置は上述した目的を達成するために提案されたものであり、入力デジタル信号のサンプリング周波数を内部サンプリング周波数に合わせるサンプリング周波数変換手段と、入力デジタル信号のサンプリング周波数を検知するサンプリング周波数検知手段と、入力デジタル信号の本来のサンプリング周波数と上記サンプリ

3

グ周波数検知手段が検知したサンプリング周波数との周波数差を求める周波数差計算手段と、上記周波数差に基づいて上記サンプリング周波数変換手段の出力デジタル信号のピッチをシフトするピッチシフト手段とを有することを特徴とする。

【0012】

【作用】本来、同じ周波数であるべき入力デジタル信号の本来のサンプリング周波数と実際に供給された入力デジタル信号のサンプリング周波数とが異なるときには、入力デジタル信号のピッチが本来のピッチから外れている。本発明によれば、入力デジタル信号のサンプリング周波数を内部サンプリング周波数に合わせると共に、本来のサンプリング周波数と実際のサンプリング周波数との周波数差に基づいて入力デジタル信号のピッチをシフトする。

【0013】

【実施例】以下、図面を参照し、本発明の実施例について詳述する。

【0014】図1には本発明のデジタル信号処理装置の要部構成を示す。

【0015】本発明実施例のデジタル信号処理装置は、図1に示すように、入力デジタル信号のサンプリング周波数 F_{S1} を内部サンプリング周波数 F_{S2} に合わせるサンプリング周波数変換手段であるサンプリングレートコンバータ1と、入力デジタル信号のサンプリング周波数 F_{S1} を検知するサンプリング周波数検知器2と、入力デジタル信号の本来のサンプリング周波数 F_{S2} と上記サンプリング周波数検知器2が検知したサンプリング周波数 F_{S1} との周波数差を求めるCPU4と、このCPU4が求めた周波数差に応じたコントロール信号に基づいて、上記サンプリングレートコンバータ1の出力デジタル信号のピッチをシフトするピッチシフト3とを有する。

【0016】ここで、本実施例のデジタル信号処理装置は、例えばデジタルオーディオテープレコーダ(DAT)から再生されたデジタル信号が供給されるものであって、入力端子10に供給された信号のサンプリング周波数が、本来磁気テープに記録されたときのサンプリング周波数と異なっている場合に、本来のサンプリング周波数に合わせる処理を行うようにしている。

【0017】この図1において、入力端子10には、入力信号として、本実施例装置の前段の例えばDATが前述したように早回し或いは遅回しされたことにより、本来の所定のレートから若干外れた転送レートのデジタルオーディオデータが供給されている。すなわち、入力端子10には、記録時の本来のサンプリング周波数 F_{S2} とは若干ずれたサンプリング周波数 F_{S1} でサンプリングされたものと等価のデジタルオーディオデータが供給されている。

【0018】当該サンプリング周波数 F_{S1} の入力信号

4

は、サンプリングレートコンバータ1に送られる。当該コンバータ1は、端子12を介して供給される装置内部のサンプリング周波数 F_{S2} （すなわち上記本来のサンプリング周波数と同じ周波数）を用いて、上記入力信号のサンプリング周波数 F_{S1} を本来のサンプリング周波数 F_{S2} に変換する。このサンプリングレートコンバータ1からの変換後の信号は後述するピッチシフト3に送られる。

【0019】ここで、具体的に数字を示して上記サンプリングレートコンバータ1による変換処理について説明する。例えば、入力端子10に供給されるデジタルオーディオ信号を生成する前段のDATにおける本来のサンプリング周波数は48kHzであり、本実施例装置の後段のDATにおけるサンプリング周波数（装置内部のサンプリング周波数）も48kHzであるとする。しかし、例えば前述したように、本来31秒であった音楽を30秒以内に収めるような操作が行われているとすると、上記入力端子10に供給される入力信号は、サンプリング周波数が $48 \times (31/30)$ kHz (= 49.6 kHz) の信号と等価のものとなっている。すなわち、入力デジタルオーディオ信号は、本来記録されたときよりも31/30 (1.03333...、約3%) だけ、ピッチが高い信号となっている。上記サンプリングレートコンバータ1は、当該ピッチが約3%だけ高くなっている入力デジタルオーディオ信号を、本来のサンプリング周波数48kHzの信号に変換することになるが、このときは、サンプリング周波数が変換されるだけなので、以前として、ピッチは31/30だけ高くなっている。

【0020】このようなことから、本実施例装置は、以下の構成を有している。

【0021】すなわち、上記入力端子10を介した入力信号は、上記サンプリングレートコンバータ1と共にサンプリング周波数検知器2にも送られる。ここで、本実施例では、上記入力デジタルオーディオ信号のフォーマットとして、例えばAES/EBU規格によるフォーマットが用いられている。上記AESはオーディオ技術協会(Audio Engineering Society)の、EBUはヨーロッパ放送連合(European Broadcasting Union)のそれぞれ略称である。このデジタルオーディオ信号のサブフレームのフォーマットは図2に示すように、1サブフレーム(1サンプル)が32ビットのビット信号からなり、それぞれ4ビットの同期信号(又はブリアンブル)、4ビットの補助データ、20ビットのデジタルオーディオサンプルデータ及びそれぞれ1ビットのオーディオサンプルバリディティ(V)、ユーザビットデータ(U)、オーディオチャンネルステータス(C)、サブフレームパリティ(P)から構成されている。そしてこのサブフレーム(サンプル)が192個集まって、1ブロックが構成されている。このようなフォーマットの

5

入力デジタルオーディオ信号が供給されるサンプリング周波数検出器2は、後段のCPU(中央処理装置)4の制御に基づいて、上記フォーマットの4ビットの補助データ中に含まれるサンプリング周波数情報、すなわち入力信号の本来のサンプリング周波数を示すSF情報を抜き出し、このSF情報(本来の周波数48kHzを示す情報)と、現在の入力信号の周波数情報(前記49.6kHzの周波数FS₁を示す情報)とを、上記CPU4に送る。

【0022】当該CPU4には、端子12を介した装置内部のサンプリング周波数FS₂(48kHz)の信号も供給されており、当該CPU4では、上記サンプリング周波数検出器2からのFS情報のうち上記現在の入力信号のサンプリング周波数と、本来のサンプリング周波数に等価である上記装置内部のサンプリング周波数とから、現在の入力信号の周波数(49.6kHz)と本来の周波数(48kHz)の比($48/49.6=48/(48 \times (31/30))=30/31$)、すなわちサンプリングレートコンバータ1による変換後の信号におけるピッチのずれ量が計算され、この計算結果に基づくコントロール信号がピッチシフト3に送られる。

【0023】ピッチシフト3は、上記コントロール信号に基づいて、サンプリングレートコンバータ1から供給されたピッチがずれた信号のピッチをシフトする処理を行う。すなわち、上記コントロール信号はどれだけピッチを変化させれば本来のピッチになるかを示す信号であり、このコントロール信号に基づいてピッチシフト3がピッチシフト処理を行うことで、当該ピッチシフト3から出力される信号は本来のピッチに変換された信号となる。この出力信号が端子11から後段の構成(DATの主要部)に送られるようになる。

【0024】次に、図1の各構成要素について以下詳細に説明する。

【0025】まず、サンプリングレートコンバータ1は、具体的には例えば図3に示すように構成されるものである。

【0026】この図3において、入力端子21には図1の入力端子10からの信号が供給され、この入力信号がオーバーサンプリング回路23及びPLL(phase locked loop)回路22に送られる。上記PLL回路22は入力信号からクロックが形成され、上記オーバーサンプリング回路23は上記PLL回路22からのクロックに基づいて、上記入力信号を例えばサンプリング周波数FS₃にてオーバーサンプリングする。このオーバーサンプリング回路23からの出力信号は、データ補間回路24に送られ、ここで例えば直線補間等のデータ補間処理を受けた後、ダウンサンプリング回路25に送られる。また、端子28には図1の装置内部のサンプリング周波数FS₂の信号が供給され、この信号からPLL回路27によって形成されたクロックも上記ダウンサンプリング

6

回路25に送られる。当該ダウンサンプリング回路25では、上記PLL回路27からのクロックに基づいて上記データ補間された信号をサンプリング周波数FS₂にダウンサンプリングする。このダウンサンプリングにより得られた信号が端子26を介して図1のピッチシフト3に送られるようになる。

【0027】次に、図1のサンプリング周波数検出器2とCPU4は、具体的には例えば図4に示すように構成されるものである。

【0028】この図4において、入力端子31には図1の入力端子10からの前記図2のフォーマットの入力信号が供給される。この入力信号は、デコーダ34及びカウンタ32に送られる。カウンタ32はCPU4からの制御データ及びアドレスに基づいて前記図2のサブフォーマットを所定数(192個)カウントしてレジスタ33に蓄え、デコーダ34はCPU4からの制御データ及びアドレス及びカウンタ32のカウントに基づいて前記図2のフォーマットの補助データを抜き出してレジスタ35に蓄える。上記補助データはCPU4に送られ、当該CPU4において上記補助データから本来のサンプリング周波数を求め、さらに現在の入力信号の周波数情報も求め、これらに基づいて前記コントロール信号を形成する。このコントロール信号が端子37を介して図1のピッチシフト3に送られる。

【0029】次に、図1のピッチシフト3は、具体的には例えば図5に示すように構成されるものである。

【0030】この図5において、端子40には上記サンプリングレートコンバータ1からの信号が供給され、この信号がRAM(Random Access Memory)42に送られる。また、制御回路46は、タイミングジェネレータ47からのタイミング信号に基づいて、上記RAM42に対して、端子40を介した信号のサンプル周期毎にデータが書き込まれるライトアドレスを指定すると共に、当該RAM42内のデータを上記ライトアドレスに対して相対的に移動しながら読み出すためのリードアドレスを指定する。すなわち、上記RAM42空間は、上記制御回路46によってリング状に書き込み/読み出しが制御されている。

【0031】ここで、端子41には上記CPU4からのコントロール信号が供給され、このコントロール信号が制御回路46に送られる。制御回路46は、このコントロール信号に基づいて、RAM42からピッチシフトのために時間的に離れた位置のデータを読み出す。この当該RAM42から読み出されたデータは、同じく制御回路46によって制御されると共にタイミングジェネレータ47からのタイミング信号によって動作するクロスフェード回路43に送られる。

【0032】当該クロスフェード回路43では、ピッチシフトのためにRAM42から読み出された時間的に離れた位置のデータをクロスフェードする。このクロスフ

7

エードする2つのデータの距離(時間差)は、聴感上適した範囲があり、短いとクロスフェード周期による変調感が強くなり、長過ぎると2つのデータの時間差が聞こえてしまって、例えば打楽器音が二重に聞こえたり、テンポが揺れてしまったりする害があるので、ここでは聴感上不自然さの少ない適当な値に設定している。

【0033】当該ピッチシフタは、サンプル毎にRAM 42のベースアドレスをデクリメントすることが基本で、入力信号はサンプル毎に-1される物理的なライトアドレスに書き込まれる。したがって、ライトアドレスに対する正の値の相対値がライトデータに対する遅延時間に対応する。この相対アドレスの傾きがピッチデータであり、すなわちこれはサンプル毎に相対アドレスに加算する値である。当該相対アドレスは、実数値として必要なピッチ精度を満たすビット長とし、その値の例えば上位ビットが相対アドレスに、下位ビットがデータ補間のための値になる。

【0034】ここで、ピッチデータを実数アドレス表現すれば、ピッチ比 r_p は、

$$r_p = 1.0 - \text{pitch data}$$

であり、セント単位で表現すると(半音が100セント)、

$$\text{Pitch Ratio}[\text{cent}] = 1200 \log_2(r_p) = 1200 (\log(1.0 - \text{pitch data}) / \log(2))$$

となる。小数点以下のアドレスが例えば12ビットなのでピッチのレゾリューションは、1オクターブ下げた場合で、

$$1200 \log_2(0.5 + 2^{-12}/0.5) \approx 0.845 [\text{cent}]$$

であり、要求仕様を満たしている。

【0035】要求するピッチ比からピッチデータは下式で表される。

$$\text{pitch data} = 1 - 2^{\text{Pitch Ratio}/1200}$$

次に、上記クロスフェード回路43におけるクロスフェード関数値は、上記相対アドレスから生成する。2つの信号がクロスフェードによって同時に存在するので、出力は打ち消したり強め合ったりする。なお、2つの信号が無相関である場合は二乗平均で求める。

【0037】上記クロスフェード回路43の出力は、タイミングジェネレータ47のタイミングで動作するデータ補間回路44に送られる。当該データ補間回路44は、例えば最も簡易な1次直線補間を行う。ここで、離散サンプル点間の任意の位置での真値は、データ列をアナログ的に見た場合において、サンプリング周波数 $F_S/2$ 以上の周波数(正確には等価的な再サンプリング周

8

波数の $1/2$) を完全に抑止するフィルタ処理を行うことで得られる。このデータ補間回路44は、サンプリングレートコンバータ1に用いられるデータ補間回路24と本質的な部分では同じものである。なお、このピッチシフタ3のクオリティは、クロスフェード関数、2データ時間差などの部分の影響の方が大きく、またピッチ変換によるスペクトル分布の変化による聴感上の影響もあるため、上記1次直線補間を採用している。上記データ補間回路44の出力が端子45を介して図1の出力端子11に送られるようになる。

【0038】

【発明の効果】上述のように、本来、同じ周波数であるべき入力デジタル信号の本来のサンプリング周波数と実際に供給された入力デジタル信号のサンプリング周波数とが異なるときには、入力デジタル信号のピッチが本来のピッチから外れている。本発明においては、入力デジタル信号のサンプリング周波数を内部サンプリング周波数に合わせると共に、本来のサンプリング周波数と実際のサンプリング周波数との周波数差に基づいて入力デジタル信号のピッチをシフトすることで、本来のサンプリング周波数よりも若干ずれたサンプリング周波数となっている入力デジタル信号を受け取った場合に、本来のサンプリング周波数の信号に戻すことができると共にピッチも本来のピッチに戻すことが可能となる。

【図面の簡単な説明】

【図1】本発明実施例のデジタル信号処理装置の要部構成を示すブロック回路図である。

【図2】入力信号のフォーマットについて説明するための図である。

【図3】本発明実施例装置のサンプリングレートコンバータの具体的構成を示すブロック回路図である。

【図4】本発明実施例装置のサンプリング周波数検知器及びCPUの具体的構成を示すブロック回路図である。

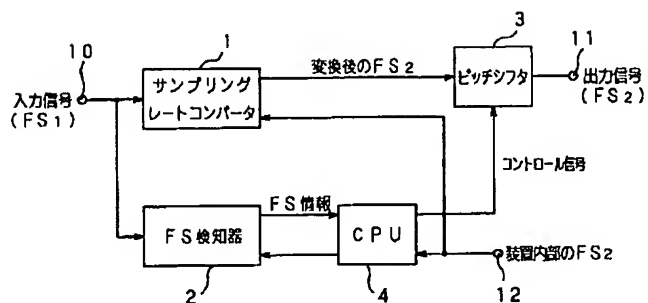
【図5】本発明実施例装置のピッチシフタの具体的構成を示すブロック回路図である。

【図6】従来のサンプリングレートコンバータの動作説明に用いるブロック回路図である。

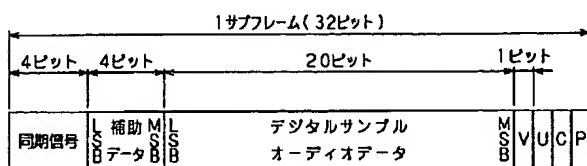
【符号の説明】

- 1 サンプリングレートコンバータ
- 2 サンプリング周波数検知器
- 3 ピッチシフタ
- 4 CPU

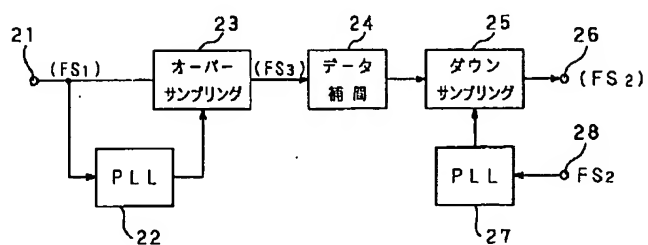
【図 1】



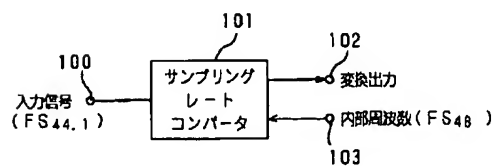
【図 2】



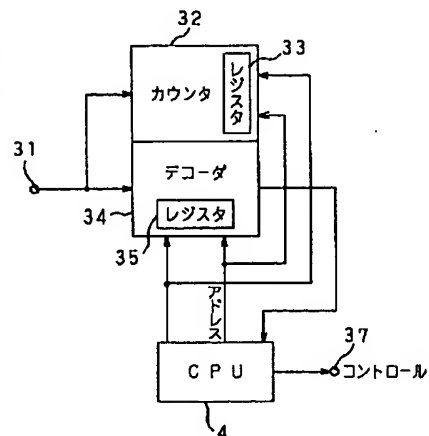
【図 3】



【図 6】



【図 4】



【図 5】

